



# 高展铭



求职意向：模拟IC设计工程师

电话：13942755102

邮箱：a2653253820@163.com

实验室：模拟集成电路与系统教育部重点实验室（带头人：朱樟明）

## 个人信息

籍贯：辽宁省

出生年月：2002.05

导师：赵潇腾

民族：满

研究方向：高速时钟生成电路PLL/高速Serdes

政治面貌：中共党员

## 教育背景

2024.9-至今 西安电子科技大学（推免） 集成电路科学与工程 工学硕士

2020.9-2024.6 西安电子科技大学（教改班） 微电子科学与工程 工学学士

## 科研经历

### 13GHz-32GHz 宽带锁相环及片上矢量频谱分析仪（已流片已测试，学生第一完成人）

- 项目简介：**基于TSMC 65nm CMOS工艺，完成面向片上矢量频谱分析与信号重建的13GHz-32GHz宽带CPPLL及检测系统。PLL采用电荷泵架构，带有小数分频，在50MHz参考下支持500kHz-7MHz可调环路带宽，实现400fs以下的抖动。片上矢量频谱分析仪利用该锁相环提供扫频本振、混频及低速DC读出提取周期信号傅里叶系数，用于片上信号分析与时域重建；**该项目为目前已知首款片上矢量频谱分析仪，拟投稿Nature子刊。**
- 主要工作：**负责VCO、DSM小数分频、PFD/CP、DTC、分频器等时钟链路数模混合电路前、后端设计，并承担芯片测试及论文/专利撰写。

### 10MHz-32GHz宽带四相时钟生成电路（已流片，学生第一完成人）

- 项目简介：**基于TSMC 65nm CMOS工艺，独立完成10MHz-32GHz宽带四相时钟生成电路设计与验证。系统采用高低频双路径架构：高频端由13GHz-32GHz PLL驱动两级ILRO，并结合DLL校准四相误差；低频端使用分频时钟与Current Starve Buffer生成可控相移与类正弦信号，从而兼顾超宽频率覆盖、低正交误差和低频相位精度。
- 主要工作：**宽频段架构选型、多相时钟电路搭建、系统级仿真验证及顶层版图绘制。

### 基于 SAR 搜索的快速频率捕获无参考 CDR（已流片已测试）

- 项目简介：**基于 TSMC 28nm CMOS工艺，参与完成两无参考快速频率捕获CDR芯片设计、流片与测试。第一版提出基于SLOW频率误差极性检测的SAR逻辑搜索，实现55ns恒定频带搜索和小于150ns完整锁定；第二版进一步采用AND/OR低开开销FD，支持16.4-57.2Gb/s NRZ/PAM4双模式接收，实现约340Gb/s/us频率捕获速度和0.54pJ/bit能效。
- 主要工作：**个人参与CP/LPF、低开开销鉴相/鉴频相关电路设计与版图，参与整体CDR环路仿真验证和测试实现。

## 论文&专利

### A Single-Ended Tri-Mode PAM2/3/4 Transceiver Front-End Achieving 0.437/0.302/0.314 pJ/bit Energy Efficiency for D2D Interconnection (ISCAS) (学生二作)

- 发明专利：**一种基于傅里叶变换的数据重建方法与电路（已授权，学生二作） 申请号：202411882639.7
- 一种支持多调制方式的高速数据收发电路（已公开，学生一作） 申请号：202510540166.0
- 一种集成正交时钟与模数转换器的片上矢量频谱分析仪（学生一作）

## 个人技能

- 熟练使用Cadence Virtuoso, EMX仿真工具、Innovus综合工具、AI Agent工具等；
- 具备高速 SerDes收发机模块如PLL、VCO、混频器、CDR电路等的研发经验，能完成相关模块电路设计；
- CET-6 521分；熟练使用各类高速测试仪器：包括任意波形发生器、相噪仪、矢量网络分析仪等。

## 获奖经历

- 第十九届中国研究生电子设计竞赛西北赛区二等奖；第七届中国研究生创“芯”大赛企业赛全国二等奖；第八届中国研究生创“芯”大赛团队优秀奖；第八届全国大学生集成电路创新创业大赛西北赛区一等奖（入围国赛）；第二十届中国研究生电子设计竞赛西北赛区二等奖。
- 2021-2025连续五年获校奖学金，西安电子科技大学青春楷模，集成电路学部十佳青年等。